



写真2 Active-HDLのデモンストレーションの様子

FPGAの検証などをねらったAldec社の統合型HDLシミュレータ。SystemCモデルを同一カーネル上で検証できるようにするという。本ツールはグラフィカル入力機能も備えている。

準装備しているという。

また、米国Aldec社も、同社のHDLシミュレータ製品においてSystemCとSystemVerilogの両方をサポートすることを表明している(写真2)。主にFPGAの検証などをねらったHDLシミュレータ「Active-HDL」では、同一カーネル上でVHDL、Verilog HDL、SystemCを取り扱えるようにする。一方、主にASICの検証などに使われるHDLシミュレータ「Riviera」はSystemVerilog 3.1a (SystemVerilogアサーションを含む)に対応する。Rivieraについては、処理速度を引き上げられるように米国AMD (Advanced Micro Devices)社のマイクロプロセッサ「Opteron」などの上で稼働する64ビットLinux OSもサポートする。

形式的検証ツールやデバッガもSystemC対応へ

米国Calypto Design Systems社は形式的検証技術を利用した等価性検証ツール「SLEC」を展示した(写真3)。SLECには、Verilog HDL/VHDLのRTL記述(順序回路)どうしの論理的等価性をチェックする「SLEC RTL」と、SystemCのビヘイビア記述とVerilog HDL/VHDLのRTL記述の論理的等価性をチェックする「SLEC SYSTEM」の2種類がある。例えば、処理時間を短くするために、乗算器などをビット単位ではなくワード単位で比較する手法や、回路動作中に実際に使われる状態が使われない状態かを判定し、それらの状態遷移を逆方向にトレースして検証が必要かどうかをチェックする手法などを採用しているという。

同社はSLECについて、Mentor Graphics社と提携を結んだことも発表した。Mentor社のC/C++入力のビヘイビア合成ツール「Catapult C Synthesis」と組み合わせて使えるようにした。例えば、ビヘイビア合成の過程で行った操作に伴う情報(ビヘイビア記述の信号とRTL回路の信号の間の等価点情報やスケジューリング情報など)をSLECに渡して処理時間を短縮できるようにした。

また、米国Novas Software社は、トランザクション・レベルの解析やSystemC記述のトレースを行えるデバッガ「nESL」のデモンストレーションを行った(写真4)。信号波形をトランザクションの形で



写真3 SLECのプレゼンテーションの様子

左側は、Calypto社 Senior Field Application Engineerの山本修作氏と Vice President, Marketing & Business DevelopmentのMichael Sanie氏。

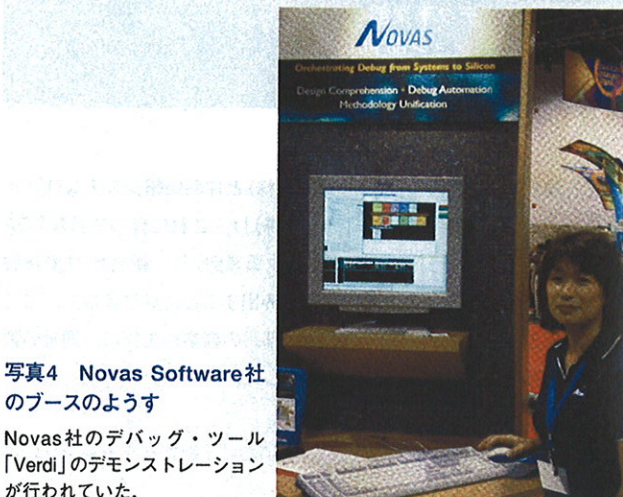


写真4 Novas Software社のブースの様子

Novas社のデバッグ・ツール「Verdi」のデモンストレーションが行われていた。

表示したり、スプレッド・シートやグラフを利用してバス使用率やメモリ使用率、トランザクション数などを出力できる。

今回のDACでは、Novas社をはじめとする6社のデバッグ・ベンダやJTAGツール・ベンダが、「DFD (Design-for-Debug) Consortium」という団体を設立したと発表した。LSI設計や量産テスト、シリコン・デバッグの各工程間のテスト・データの受け渡しやツール間連携を円滑にすることを目指す。例えば、これらの工程で利用されるデータ・フォーマットの標準化などに取り組んでいくという。Novas社のほか、米国Corelis社、米国DAFCA社、米国First Silicon Solutions (FS2) 社、米国Intellitech社、オランダJTAG Technologies社が本団体への参加を表明している。

RTL記述モデルからC++/SystemCを生成

米国TenisonEDA社は、RTLのHDLモデルからサイクル精度のC++モデルやSystemCモデル(C++モデルに接続するラッパ)を生成するツール「VTOC」のデモンストレーションを行った(写真5)。RTLモデルの代わりにサイクル精度のモデルを利用することで、シミュレーション速度が10~100倍速くなるという。このC++モデルは、PLI