

ニュース リリース

カリプト社、STARC およびビラージ社と共に エンベデッド・コンピューティング・デザイン誌 のエディターズ・チョイス・アワードを受賞

40 ナノ以下の SoC において動的消費電力とリーク消費電力を削減するフローが
「ディープグリーン」部門で脚光を浴びる

カリフォルニア州サンタクララ市—2010 年 10 月 6 日—シーケンシャル・アナリシス技術のリーダーであるカリプト・デザイン・システムズ社[®] (www.calypto.com) は本日、同社、ビラージロジック社、および（株）半導体理工学研究センター(STARC) が協同開発した低消費電力設計フローがエンベデッド・コンピューティング・デザイン誌のエディターズ・チョイス・アワードを受賞したと発表しました。多くの技術協力の結果として、この新しいシームレスな SoC 設計フローは、様々な機能モードの定義を可能にし、これを用いて複数のパワー・ドメインを制御することにより劇的に電力消費を節減します。初期の結果では、カリプト社の PowerPro MG とビラージロジック社の SiWare メモリコンパイラを使用することで、組み込み SoC メモリの最大 50% の動的消費電力削減と最大 40% のリーク消費電力削減の効果があります。エディターズ・チョ

イス・アワードは、新製品の中から「グリーン(省エネ)」設計を支援する技術から選ばれます。

「SoCの性能が向上し、微細化が進むにつれて、設計者はSoC設計における動的消費電力とリーク消費電力を抑制するために悪戦苦闘しています。」と、OpenSystems Media社 エンベデッド・コンピューティング・デザイン誌の編集者であるドン・ディンギー(Don Dingee) 氏は述べています。「オン・チップ・メモリはパワー・バジェットの相当な部分を占めています。カリプト社、STARC、およびビラージ社は、共同開発をメモリ消費電力の削減に焦点を当てることによって、今日の組み込みアプリケーションで設計者が不可能と思える消費電力の要件を満たすのを可能にし、「グリーン・デザイン(省エネ設計)」を達成します。」

カリプト社/ビラージ社/STARC 協同開発について

カリプト社の特許技術であるシーケンシャル・アナリシス技術を基にしたPowerPro MG (メモリ・ゲーティング)は、可能な限りの低消費電力なメモリ実装を実現するために、ビラージロジック社の SiWare メモリ・コンパイラが生成する低消費電力メモリモードと連携して動作する新しいメモリゲーティング・ロジックを生成します。SiWare メモリ・コンパイラはいくつかの異なった低消費電力モード、すなわちライト・スリープ、ディープ・スリープ、パワー・シャット・オフを提供し、メモリがアクセス

されていない時にこれらを活用することで、設計者はリーク消費電力を削減させることができます。コンパイラは自動的に PowerPro MG モデルを生成し、STARC は彼らの低消費電力設計フローに PowerPro MG を容易に統合することができました。

「今日、電力効率を高める私たちの継続的な努力が認められたことは、今日の設計者にとってこの問題が重要であるとの証しです。」と、カリプト社の最高経営責任者であるトム・サンドバル (Tom Sandoval) は述べています。「カリプト社、ビラージュック社、そして STARC の間で締結された技術提携は、私たちの顧客が競争相手よりも先に、最先端で、かつ最高の電力効率の設計を可能にする劇的な手法改良をするために最も効率的な方法です。」

尚、本共同開発に基づく結果の一部は、10月21日開催予定の「ローパワー & C 言語ベース検証セミナー」にて STARC 様より発表していただく予定になっております。

OpenSystems Media について

OpenSystems Media は 20 年以上にわたり、エレクトロニクス雑誌、e-メールニュースレター、ウェブサイト、および製品リソースガイドの主要な出版社です。OpenSystems Media は技術者のために E-casts と Techcasts を提供し、技術者が直接、プレゼンターと業界トップの編集者達と対話できるインタラクティブ・ツールを提供します。現在の刊行物は、CompactPCI、AdvancedTCA&MicroTCASystems、DSP-FPGA.com、

組み込みコンピューティングデザイン、産業用組み込みシステム、軍事用組み込みシステム、PC/104 とスマートフォームファクターズ、VME とクリティカル・システムズなどです。 詳しくは、ホームページを参照して下さい。www.opensystemsmedia.com

カリプト社について

2002年設立の米国カリプト・デザイン・システムズ社はその特許のシーケンシャル・アナリシス技術に基づいたクラス最良のRTL消費電力最適化と機能検証ソフトウェアを提供することによって、設計者が高品質で、低消費電力の電子製品を設計することを可能にします。カリプト社はフォーチュン500社に入る顧客を全世界に持ち、また、ケイデンス社のコネクション・プログラム、IEEE-SA、シノプシス社のSystemVerilog Catalyst Program、メンター・グラフィックス社のOpenDoor Program、Si2 のメンバーで、Power Forward Initiativeに積極的に参加しています。カリプト社は現在、ヨーロッパ、インド、日本、それに北米の各地域に拠点を持ちます。本社の所在地は、2933 Bunker Hill Lane, Suite 202, Santa Clara, Calif. 95054. 電話: (408) 850-2300 です。当社に関する詳細については、www.calypto.com をご覧ください。

本発表に関する詳細については、以下までお問い合わせください。

カリプト・デザイン・システムズ株式会社

マーケティング 山本修作

電話: 045-470-2070

Email: shusaku@calypto.com

住所: 〒222-0033 横浜市港北区新横浜 2-3-4 クレシェンドビル 9F

###

カリプト社、PowerPro、およびSLECはカリプト・デザイン・システムズ社の商標です。その他の製品名および社名はそれぞれの会社の商標または登録商標である場合があります。