

CAO électronique

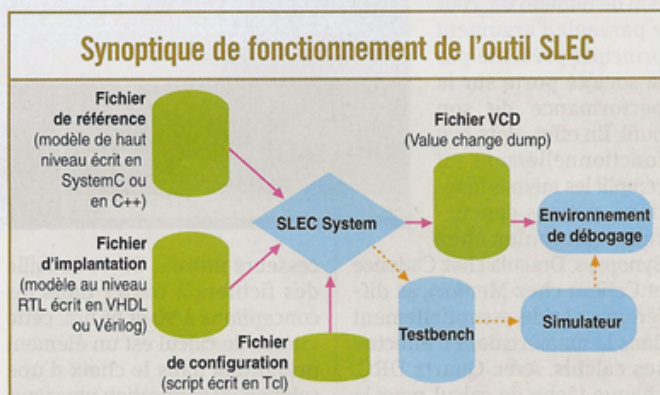
L'analyse d'équivalence séquentielle prête pour la conception au niveau système

La jeune société américaine Calypto apporte avec son outil SLEC une brique essentielle pour les flots de conception au niveau système, en réalisant une analyse d'équivalence séquentielle entre un modèle de haut niveau d'un circuit et son implantation en RTL.

Actuellement, pour les ingénieurs de vérification, il n'existe pas d'outils ou de méthodes simples pour prouver qu'un modèle de circuit écrit à un haut niveau d'abstraction est fonctionnellement équivalent à son implantation au niveau RTL. C'est un handicap certain pour le développement des méthodes de conception au niveau système, car ce « trou » dans le flot oblige à réécrire des fichiers de tests complets pour le code RTL (le testbench), qui demeure le fichier de référence d'une conception, sans pouvoir tirer complètement parti du modèle de plus haut niveau. C'est pourquoi la technologie d'analyse d'équivalence annoncée par la société américaine Calypto a fait sensation lors de l'édition 2005 de la Dac (voir le compte rendu p. 10), car elle comble ce hiatus entre plusieurs descriptions de circuits écrits à différents niveaux d'abstraction.

Avec son outil SLEC, Calypto (*) estime en effet être la première société à mettre sur le marché un analyseur d'équivalence capable de traiter les optimisations

(*) La société Calypto créée en 2002, et qui compte environ 40 personnes, a levé 22 M\$ auprès de plusieurs fonds d'investissements pour développer son produit SLEC.



séquentielles d'un circuit, ce que les analyseurs d'équivalence classique ne peuvent réaliser. Car ces derniers, les « équivalents checkers », qui s'appuient sur des moteurs de preuve formelle, utilisent une logique combinatoire pour prouver que deux fichiers sont fonctionnellement équivalents. Cette approche, très utilisée aujourd'hui dans beaucoup de flots de conception, permet notamment de vérifier qu'entre un fichier RTL de référence et son implantation après synthèse, il existe une équivalence fonctionnelle même si le code a été transformé. Cependant, avec ce type de technologie, la dimension temporelle du circuit n'est pas prise en compte. En d'autres termes, ces outils sont dans l'incapacité d'analyser des optimisations séquentielles apportées au code au cours des différentes phases de la conception. Or, celles-ci sont fréquentes, surtout entre une description de haut niveau, sans indication temporelle, et un fichier RTL sur lequel les concepteurs réalisent diverses opérations d'optimisations notamment pour diminuer la consommation ou respecter le timing du circuit. Il s'agit par

exemple de modifier le partage de ressources (resource sharing), d'éliminer des bascules redondantes, de réaliser des opérations de fusion ou de duplication de structures logiques. Ainsi, même si deux descriptions du circuit aux niveaux système et RTL sont fonctionnellement équivalentes, de profondes modifications au niveau séquentiel, non détectées par les analyseurs d'équivalence classiques, peuvent être à l'origine de bogues difficiles à détecter plus tard en simulation.

Une vérification au niveau blocs

Certes, certains outils d'analyse d'équivalence procurent des modules additionnels pour l'analyse séquentielle. Mais ces derniers ne traitent que ces cas particuliers et, surtout, travaillent uniquement sur la comparaison entre deux fichiers RTL. L'apport majeur de la solution de Calypto est donc d'assurer une analyse d'équivalence fonctionnelle séquentielle entre un modèle écrit en SystemC ou C++, donc sans indication temporelle, et son implantation en RTL, incluant des modifications apportées par les concepteurs sur la logique

séquentielle du circuit. Cet outil est donc une brique essentielle dans le domaine de l'ESL, puisqu'il permet pour la première fois d'envisager la constitution d'un flot continu en assurant le lien entre différents niveaux d'abstraction jusque-là disjoints. En entrée, le logiciel SLEC utilise le code source de la conception associé à un script écrit par l'utilisateur en langage Tcl. Celui-ci apporte à l'outil divers paramètres comme les états de débuts, les séquences de reset, etc. Puis, le logiciel analyse les différences entre les deux fichiers d'entrée de manière automatique grâce à une combinaison de méthodes formelles et de techniques de simulation. Dès qu'une différence fonctionnelle est détectée, le logiciel délivre soit un fichier de test automatique associé à la faute (un testbench), soit un vecteur de test au format VCD (Value change dump) lisible par n'importe quel outil externe (figure). Il est à noter que cet outil s'utilise essentiellement au niveau bloc et non sur l'ensemble d'un circuit. Selon Calypto, le logiciel SLEC est optimisé pour traiter des blocs qui vont de 50 000 à 2 000 000 portes.

Le logiciel existe en deux versions. SLEC System travaille sur la comparaison entre un fichier écrit en SystemC et C++ et un fichier RTL écrit en VHDL ou Verilog (le support de System-Verilog est prévu pour 2006). Quant à SLEC RTL, il travaille sur la comparaison entre deux fichiers RTL, fonctionnellement équivalents, mais dotés de différences au niveau des microarchitectures implantées. Le prix de licence annuelle de l'outil SLEC, sous Linux, est annoncé à 175 000 \$.

F. GAUTHIER