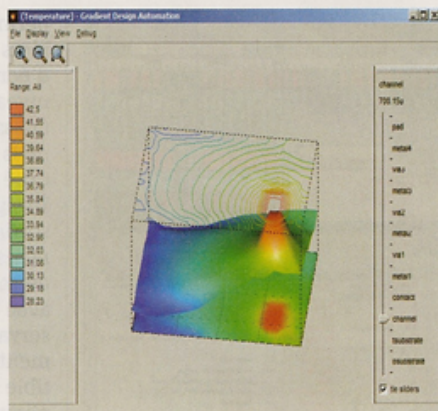


Le logiciel FireBolt de Gradient System est le premier logiciel du marché à fournir une analyse thermique statique d'un circuit à partir des informations électriques issues des fichiers de conception. L'approche est très utile pour traquer les zones de fuites de courant, de chutes de tension ou d'électromigration.



dio dédié à l'exploration architecturale d'un circuit au niveau matériel et logiciel. Convaincus du potentiel de cet outil utilisé très en amont d'un cycle de développement, les sociétés EADS et Airbus ont d'ailleurs annoncé la signature d'une convention de partenariat avec CoFluent pour soutenir le développement de sa solution.

En ce qui concerne les outils de synthèse comportementale, Forte Design montrait son outil Cynthetiser, choisi notamment par Oki et Epson pour leurs prochaines générations de SoC. Quant à son concurrent direct sur ce créneau, le produit Catapult C de Mentor Graphics, il s'enrichit de nouvelles fonctions très importantes, notamment la possibilité de générer automatiquement à partir d'un code C, outre le RTL synthétisable, un modèle de plus haut niveau écrit en SystemC, basé sur les transactions. Signalons enfin dans ce domaine de l'ESL la montée en puissance d'Arm en tant que fournisseur à part entière d'outils de CAO avec son logiciel RealView.

Le DFM: nouvel «eldorado» de la CAO?

Autre thème majeur aujourd'hui en CAO: le DFM (Design for manufacturing), c'est-à-dire les méthodes et outils de conception qui intègrent des contraintes propres à la production. A l'origine de cette tendance, le développement des technologies nanométriques pour lesquelles il n'est plus possible d'ignorer en amont les problèmes liés à la production, sous peine d'obtenir pour un circuit des rendements en fabrication très faible.

Sur ce secteur, on note l'émergence de nombreuses jeunes sociétés qui ont profité de la Dac

pour montrer leurs solutions. Signalons Aprio et sa suite Halo (*Electronique* n°158, p.14); ChipMD avec son outil Design MD pour les circuits mixtes; Ponte Solutions qui propose notamment une approche par modélisation statistique d'une conception afin de prédire le rendement en fabrication; Brion Technologies qui lançait sur le salon son produit Tachyon, un simulateur avec accélération matérielle pour la modélisation et la vérification du modèle du circuit au niveau de la lithographie; l'allemand Sigma-C qui commercialise avec Solid+ un outil de modélisation logicielle de la lithographie; ou encore le français Xyalis dont le logiciel permet de gérer la densité de métal nécessaire sur un circuit au moment de sa fabrication.

A noter que contrairement à l'ESL, domaine dans lequel, à l'exception de Mentor, les grands éditeurs comme Synopsys et Cadence sont quasiment absents, le DFM est jugé stratégique par ces leaders qui proposent une panoplie d'outils et de méthodes

logies. Quant à Magma, la société présentait dans le cadre de son initiative Cobra (*Electronique* n°159, p.14) les premières démonstrations de sa technologie Blast Yield, destinée à optimiser le rendement en fabrication d'une conception de manière concurrente avec les délais, la consommation et la surface du circuit pendant la phase de synthèse physique. Une des originalités du produit est de réaliser en parallèle, durant cette étape, une simulation

des calculs d'OPC (Optical proximity correction) sur les portions de circuits qui posent problème.

La vérification, toujours au cœur des préoccupations

Au-delà de ces deux domaines en évolution, au cœur des flots classiques les problèmes liés à la vérification des circuits sont toujours aussi cruciaux. Les méthodes formelles poursuivent leur progression et sont de plus en plus fréquemment utilisées par les concepteurs. L'américain Jasper Design introduisait la version 4.0 de son outil JasperGold qui supporte désormais le langage de programmation d'assertions PSL. Real Intent, de son côté, présentait sa famille Verix, dotée de possibilités d'analyse formelle du réseau d'horloge d'un circuit, et son récent outil Pure Time d'analyse des «timing exceptions» (fichiers de délais rajoutés manuellement en cours de conception).

De son côté, la société française TransEDA annonçait sur le salon son outil d'analyse de couverture

de code Assertain, qui fournit désormais quatre différents jeux de métriques. L'objectif ici est de connaître à tout moment où l'on en est dans son travail de vérification, en particulier au niveau des assertions. Le langage SystemVerilog est d'ores et déjà supporté, et le langage PSL est prévu pour décembre prochain. Quant à la société Atrenta, elle montrait son nouvel environnement de développement 1Team, destiné aux développeurs de SoC, dont un des objectifs est d'améliorer les pratiques de codage pour les applications logicielles embarquées.

Concernant les techniques d'émulation et d'accélération matérielles, l'américain Tharass Systems exposait ses nouveaux systèmes Hammer Class S et Class M dotés respectivement de 64 et 256 millions de portes Asic. Ces accélérateurs de vérification matériels supportent désormais le standard SCE-MI (Standard co emulation - modeling interface), ce qui permet notamment d'accélérer l'analyse d'un modèle transactionnel. Quant au français Eve Engineering, il montrait les nouvelles possibilités de clustering automatique offertes sur sa plate-forme Zebu d'émulation et de prototypage basée sur des FPGA. Le support du standard SCE_MI 1.1, la possibilité de connecter le système de vérification au niveau RTL VCS de Synopsys et le support des assertions du langage SystemVerilog sont aussi au programme de la nouvelle version de Zebu.

Mais cette année, c'est sans conteste vers la jeune société Calypto que se sont tournés la plupart des regards. En effet, son outil SLEC est une solution de vérification d'équivalence fonctionnelle entre un code écrit en SystemC et un code RTL, ou entre deux codes RTL. C'est une brique essentielle dans un flot ESL, d'où l'intérêt suscité par Calypto à la Dac (voir p.19).

Enfin, les visiteurs ont pu voir

Suite p.14



Le support du standard SCE-MI sur cet émulateur-accélérateur matériel Hammer de Tharass Systems permet de déboguer au niveau transactions les aspects matériel et logiciel d'une conception.