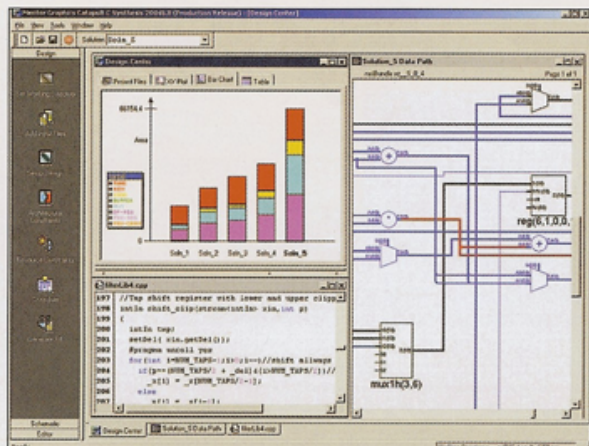




Mentorin Catapult C Synthesis -työkalulla voidaan viedä ANSI C -pohjainen määrittely suoraan rautatason toteutukseksi.

Markkinointijohtaja John Lenyo muistutti, että ModelSim riittää jatkossakin isolle osalle käyttäjiä. – Jos käytössä on esimerkiksi 500 tuhatta FPGA-porttia, ModelSim riittää mainiosti.

Questa on Mentorin vastaus kasvavaan suunnittelujen varmentamisen ongelmaan. Lenyon mukaan suunnittelijat tekevät keskimäärin yhden virheen 150 koodirivillä kohti. Tämän on tärkein syy siihen, miksi kaksi kolmesta suunnittelusta toimii väärin ensimmäistä kertaa piille vietäessä. Koodin korjaamiseen kuluu taas aikaa, mihin ei oikeastaan olisi varaa projekti aikataulun puristuksessa.

John Lenyo toisti Mentorin pääjohtajan Rhinesin kommentin, jonka mukaan EDA-ala alkaa vasta nyt olla valmis uusiin menetelmiin. Tästä kertoo myös Questan vastaanotto: – Beetaoh-

jelmamme oli menestys ja erityisesti SystemVerilog-tuki kiinnosti käyttäjiä kovasti.

Questa-simulaattori antaa suunnittelijoiden määrittellä suunnittelun rajoituksia SystemVerilogilla. Rajoitustyökalu (constraint solver) määrittää testivektorit rajoituksille, mikä helpottaa testipenkin kirjoittamista. Simulaattori testaa koodia satumanvaraisesti, mutta rajoitusten avulla generoidut testit pysyvät pätevänä (eli ovat yleensä mahdollisia tapauksia).

Kun rajoituksille ja assertioille on yksi ainoa ympäristö, nähdään kaikki tapahtumat yhdessä ja samassa graafisessa käyttöliittymässä. Työkalu näyttää lisäksi tapahtumat ajonaikaisesti simuloinnin yhteydessä.

#### SystemC:tä katapultilla

Mentorin toinen tärkeä julkistus

DACissa liittyi Catapult C -synteesityökaluun, johon on lisätty tuki SystemC-kielille. Nyt Catapult C:llä voidaan luoda automaattisesti SystemC-pohjaisia malleja, mikä mahdollistaa jopa 20–100 kertaa nopeamman suunnittelujen simuloinnin RTL-simulointiin verrattuna.

Mentorilla synteesityökalujen markkinoinnista vastaavan Shawn McCloudin mukaan Catapult C:tä tullaan käyttämään yhä enemmän eri arkkitehtuurien arviointiin. Catapult C:llä voidaan esimerkiksi luoda testipenkki, joka automaattisesti vertailee koodia RTL-koodiin. Tämä nopeuttaa virheiden löytämistä koodista.

Catapult C -asiakkaista SystemC-malleja on luonut ainakin Qualcomm, mutta asiakaskuntaan kuuluvat myös SMicroelectronics, Nokia, Alcatel, Panasonic ja Sanyo. Työkalun lisenssihinat vaihtelevat 89 000:n ja 275 000 dollarin välillä.

#### Verifiointi kahdessa tunnissa

Kun suunnittelussa on koodirivejä satojatuhanasia tai jopa miljoonia, kuluu pelkkään suunnittelusääntöjen tarkistamiseen yhä enemmän aikaa. Tähän ongelmaa vastaa EDA-maailman nouseva nimi Magma Design Automation.

Anaheimissa Magma demosi juuri messujen alla esiteltä Quartz DRC -työkaluaan, jolla suunnittelusääntöjen tarkistus (DRC, design rule checking) onnistuu alle kahdessa tunnissa suunnittelun koosta riippumatta. Beetavaiheessa Quartz DRC:llä on tarkistettu suurien 90 nanometrin digitaalipiirien suunnittelusääntöjä esimerkiksi TMC:llä ja Broadcomilla. Verifiointi onnistui Magman mukaan aina alle kahdessa tunnissa eli jopa kymmenen kertaa nopeammin kuin kilpailevilla DRC-työkaluilla.

Testeissä ei ole tarkistettu mitään pieniä suunnitteluja, vaan Magman DRC-tuotteiden kehityksestä vastaavan Jonathan Whiten mukaan yhdessä tapauksessa kyse oli 13 gigatavun GDS-II-tiedostosta, jonka tarkistus onnistui 154 CPU:n avulla puolessatoista tunnissa.

Whiten mukaan nopeuden mahdollistaa työkalun moottorin liukuhuina-arkkitehtuuri. Sääntöjä voidaan tarkistaa massiivisella Linux-ryppäällä, sillä koneiden lisääminen palvelinryppäeseen kasvattaa sääntöjen tarkistuksen nopeutta lineaarisesti.

#### Calyptolla uusi ratkaisu

DAC-messuilla nähdään aina jokunen uusi EDA-talo, joka pyrkii lähestymään suunnittelun ongelmia hieman aiemmasta poikkeavalla tavalla. Piilaaksolainen Ca-

lypto oli tämän vuoden messuilla yksi tällaisista. Yhtiön kehittämä SLEC-työkalu (sequential equivalence checking) on ensimmäinen työkalu, joka vertailee RTL- ja järjestelmätason koodia "sarjamuotoisesti".

Markkinointijohtaja Michael Sanien mukaan SLEC-menetelmää tarvitaan, koska RTL:stä ei voi suoraan hypätä ESL-tasolle. – Näin on varsinkin sellaisissa suunnitteluissa, joissa käytetään paljon ohjauslogiikkaa.

SLEC-työkalussa ajoitettua (timed) RTL-koodia verrataan SystemC- tai C++-koodiin. Esimerkiksi Freescalella tehdään jo PowerPC-pohjaista kehitystä Calypson työkalulla. – 100–200 tuhannen portin lohkoina vertailu onnistuu noin 20 minuutissa, Sanie kehuu.

Calypto on perustettu vuonna 2002, mutta yhtiö aloitti kaupallisessa mielessä oikeastaan vasta tämän vuoden tammikuussa.

#### ABV vielä uusi asia

ABV:stä eli assertiopohjaisesta verifiointista (assertion based verification) on DAC-messuilla puhuttu jo parin vuoden ajan. TransEDAn pääjohtaja Jean-Luc Bouvresse muistutti, että uuden menetelmän opettelun menee aikaa 2–3 vuotta. – Kyllä muutos yhden tuotesyklin vaatii, Bouvresse korosti.

TransEDA esitteli messuilla uutta Assertain-työkalua, jolla voidaan monitoroida suunnittelun toiminnallisuutta eri tasoilla määrittysten kirjoittamisesta lopulliseen RTL:ään asti. Menetelmän keskiössä ovat assertiot tai oikeammin niiden kattavuuden ja oikeellisuuden todentaminen suunnittelun oman toiminnallisuuden kannalta.

– Ongelma verifiointissa ei ole assertioiden kirjoittaminen, vaan niiden käyttäminen oikein. Assertain-työkalu antaa suunnittelijalle keinot määrittellä, mikä menetelmä kulloinkin on, Bouvresse sanoo.

Hänen mukaansa koko ABV-lähestymistapa tuo varsinkin alkuvaiheessa paljon uusia ongelmia. – Lopulta ABV helpottaa elämää, mutta ongelmana on se, ettei suunnittelijoilla ole aikaa opetella mitään uutta projektiansa keskellä. Pitäisi tietää, onko kirjoitettu tarpeeksi assertioita ja onko kirjoitettu oikeat, juuri ne tarvittavat assertiot, Bouvresse valistaa.

Assertiot sinänsä eivät ole mikään autuaaksi tekevä voima. Itse asiassa Bouvresse korostaa, että assertioon kirjoitettu virhe on jopa normaalia koodissa piilevää virhettä vahingollisempi, sillä se voi johtaa aiheettomaan toiminnallisuuden varmentamiseen.

## DAC palaa Friscoon

Design Automation Conference on jo hyvin vanha messutapahtuma. Muutamana viime vuonna messujen kävijämäärä on kuitenkin vähentynyt ja Anaheimissa kuului muutamia puheita "DACin kriisistä". Synopsys ja Cadence ovat halunneet esitellä kuumimmat uutuustuotteensa omissa asiakasseminareissaan, joten näille kahdelle DACin kriisi sopii hyvin.



saan, joten näille kahdelle DACin kriisi sopii hyvin.

Luvut eivät kuitenkaan tue puheita kriisistä. Rekisteröityneiden messuvieraiden määrä jopa kasvoi hieman edellisvuodesta eli 6104:een ja nämä ovat tasokkaita, seminaareja kuluavia vieraita. DACin perinteinen "ilmainen maanantai" ei ehkä ollut yhtä vilkas kuin aiemmin, mutta helpotusta tähän saataneen jo ensi vuonna, kun messut palaavat pitkän tauon jälkeen San Franciscoon.

Eurooppalaisille Friscossa järjestettävän DACin ajankohta heinäkuun loppupuoli on kyllä ongelmallinen. Kovin moni ei halua vaihtaa lomaansa teknisiin seminaareihin Moscone Centerissä. Ehkä eurooppalaiset panostavat entistä vankemmin omaan DATE-näyttelyynsä, joka pidetään maaliskuussa Münchenissä. Vuodesta 2007 alkaen DATE järjestetään vuorovuosin Nizzassa ja Münchenissä.